

13702929

Basic Patent (No,Kind,Date): EP 456479 A2 19911113 <No. of Patents: 022>

PATTERN FORMING PROCESS, APPARATUS FOR FORMING SAID PATTERN AND
PROCESS FOR PREPARING SEMICONDUCTOR DEVICE UTILIZING SAID PATTERN
FORMING PROCESS (English; French; German)

Patent Assignee: CANON KK (JP)

Author (Inventor): YAGI TAKAYUKI CANON KABUSHIKI (JP); KOMATSU TOSHIYUKI
CANON KABUSH (JP); SATO YASUE CANON KABUSHIKI KAI (JP); KAWATE
SHINICHI CANON KABUSHIKI (JP)

Designated States : (National) AT; BE; CH; DE; DK; ES; FR; GB; GR; IT; LI

; LU; NL; SE

IPC: *H01L-021/268; H01L-021/3105; H01L-021/3205; G03F-007/20; G03F-001/14

Derwent WPI Acc No: C 91-334416

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
AT 199046	E	20010215	EP 91304134	A	19910508
AT 229229	E	20021215	EP 95203233	A	19910508
DE 69132523	C0	20010308	DE 69132523	A	19910508
DE 69133169	C0	20030116	DE 69133169	A	19910508
EP 706088	A1	19960410	EP 95203232	A	19910508
EP 456479	A2	19911113	EP 91304134	A	19910508 (BASIC)
EP 714119	A2	19960529	EP 95203233	A	19910508
EP 456479	A3	19921119	EP 91304134	A	19910508
EP 714119	A3	19960703	EP 95203233	A	19910508
EP 456479	B1	20010131	EP 91304134	A	19910508
EP 714119	B1	20021204	EP 95203233	A	19910508
JP 4015910	A2	19920121	JP 90118675	A	19900510
JP 4017685	A2	19920122	JP 90117644	A	19900509
JP 4049623	A2	19920219	JP 90158687	A	19900619
JP 4063414	A2	19920228	JP 90174443	A	19900703
JP 4181712	A2	19920629	JP 90308550	A	19901116
JP 2709175	B2	19980204	JP 90117644	A	19900509
JP 2849458	B2	19990120	JP 90174443	A	19900703
JP 2966036	B2	19991025	JP 90118675	A	19900510
US 5344522	A	19940906	US 13180	A	19930129
✓ US 5413664	A	19950509	US 275757	A	19940720
US 5490896	A	19960213	US 395472	A	19950228

Priority Data (No,Kind,Date):

JP 90117644 A 19900509

JP 90118675 A 19900510

JP 90158687 A 19900619

JP 90174443 A 19900703

JP 90308550 A 19901116

EP 91304134 A3 19910508

US 13180 A 19930129

US 696024 B1 19910506

US 275757 A 19940720

US 13180 A3 19930129
US 395472 A 19950228
US 275757 A3 19940720

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

03698314 **Image available**

METHOD AND DEVICE FOR MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 04-063414 [JP 4063414 A]

PUBLISHED: February 28, 1992 (19920228)

INVENTOR(s): SATO YASUE
KAWATE SHINICHI

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-174443 [JP 90174443]

FILED: July 03, 1990 (19900703)

INTL CLASS: [5] H01L-021/02; H01L-021/027; H01L-021/205; H01L-021/302;
H01L-021/31

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass
Conductors)

JOURNAL: Section: E, Section No. 1218, Vol. 16, No. 271, Pg. 71, June
18, 1992 (19920618)

ABSTRACT

PURPOSE: To eliminate oxidation of surfaces and to improve performance by shutting each process from atmosphere and performing consistent operation in a condition that pressure is reduced.

CONSTITUTION: All of a load-lock room 1, a cleaning room 2, a sputter film-forming room 3, a plasma film-forming room 4, an etching room 5, a latent image room 6, and a carrying room 10 are constituted so that they can be airtight within vacuum and are provided with a vacuum discharge device for discharging air from room for producing vacuum state. Also, a load lock room 1 is provided with a gate valve 7a for loading and unloading a sample 8 from an outside in addition to a gate valve 7b for communicating with the carrying room 10. In this manner, each process for producing a semiconductor device is shut out from atmosphere and performed consistently in a pressure-reduced state, and therefore oxidation of substrate and adhesion of dust can be prevented and at the same time, man-hour is reduced. Thus, oxidation of surfaces is prevented, production process and travel amount of an element can be reduced, and element performance and yield can be improved.

⑫ 公開特許公報 (A) 平4-63414

⑬ Int. Cl.

H 01 L 21/02
21/027
21/205
21/302
21/31

識別記号

庁内整理番号

Z

8518-4M

B

7739-4M

Z

7353-4M

C

7353-4M

6940-4M

7352-4M

⑭ 公開 平成4年(1992)2月28日

H 01 L 21/30 301 Z
審査請求 未請求 請求項の数 5 (全10頁)

⑮ 発明の名称 半導体装置の製造方法および製造装置

⑯ 特 願 平2-174443

⑰ 出 願 平2(1990)7月3日

⑱ 発 明 者 佐 藤 安 栄 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑲ 発 明 者 河 手 信 一 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 ⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
 ㉑ 代 理 人 弁理士 若 林 忠

明細書

1. 発明の名称

半導体装置の製造方法および製造装置

2. 特許請求の範囲

1. 基板の表面を清浄する第1の工程と、該第1の工程により清浄された基板上に、半導体、金属または絶縁体のいずれかの膜を堆積させる第2の工程と、該第2の工程にて堆積された膜上に所望の素子構造を形成するために選択光を照射してマスクを形成する第3の工程と、該第3の工程にて形成されたマスクを遮蔽体としてエッチングを行なう第4の工程とを少なくとも有する半導体装置の製造方法において。

前記第1乃至第4の各工程が、大気と遮断され、かつ減圧された状態にて一貫して行なわれることを特徴とする半導体装置の製造方法。

2. 請求項1記載の半導体装置の製造方法において、

マスクを形成する第3の工程として行なわれる選択光照射が反応ガス雰囲気中で行なわれ、第2

の工程によって基板上に堆積された膜の表面が改質されることによりマスクが形成されるものである半導体装置の製造方法。

3. 請求項1記載の半導体装置の製造方法において、

マスクを形成する第3の工程および光エッチングを行なう第4の工程の代わりに、選択光照射による光エッチングが行なわれることを特徴とする半導体装置の製造方法。

4. 基板の出入れを行なわれるロードロッカ室と、基板の表面が清浄されるクリーニング室と、清浄された基板上に半導体、金属または絶縁体のいずれかの膜が堆積される成膜室と、光入射窓が設けられ、該光入射窓を透過した選択光が基板上に堆積された膜に照射されてマスクが形成される潜像室と、エッチングが行なわれるエッティング室と、基板の搬送を行なうための搬送室とを有し、

前記各室はいずれも真空封止可能に成されており、ロードロッカ室、クリーニング室、成膜室、潜像室およびエッティング室は、搬送室を中心

としてその周囲に配設され、個別に設けられたゲートバルブをそれぞれ介して搬送室と連通することを特徴とする半導体装置の製造装置。

5. 基板の出入れを行なわれるロードロック室と、基板の表面が清浄されるクリーニング室と、清浄された基板上に半導体、金属または絶縁体のいずれかの膜が堆積される成膜室と、光入射窓が設けられ、該光入射窓を透過した選択光が基板上に堆積された膜に照射されて光エッチングが行なわれる光エッチング室と、基板の搬送を行なうための搬送室とを有し、

前記各室はいずれも真空封止可能に構成されており、ロードロック室、クリーニング室、成膜室および光エッチング室は、搬送室を中心としてその周囲に配設され、個別に設けられたゲートバルブをそれぞれ介して搬送室と連通することを特徴とする半導体装置の製造装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置を製造する製造方法およ

用いられる。このうちのレジスト塗布、現像、レジスト剥離工程では溶液を使うため、すべてドライなプロセスにすることはできない。

〔発明が解決しようとする課題〕

上述した従来の半導体製造工程では、真空中で行なう工程、溶液中で行なう工程や大気中で行なう工程が現在しているため、試料表面が酸化してしまうとともに次の工程のための予備的な工程（例えば、試料を真空状態にするための真空びき、溶液処理後の洗浄乾燥工程等）が必要となり、工程が増加し、複雑化してしまうという問題点がある。また、各製造装置間での試料の移動量が多くなり、時間的にも空間的にも無駄が多い。この工程の増加、複雑化、試料の移動量の増加は、ゴミの付着を増加させるという問題点がある。さらにレジストを使用し、これを剥離するため、はがれたレジストがゴミとなって試料表面に付着してしまい、素子の性能を劣化させるとともに歩留まりを低下させてしまうという問題点があった。

び該製造方法を実施する装置に関するものである。

〔従来の技術〕

半導体装置の主な製造工程は、基板上に金属、半導体、絶縁体を成膜し該膜を所望のパターンに微細加工する工程である。近年、半導体記憶素子に代表されるように、素子の大容量化、機能の高性能化が急速に進み、それに伴い、回路パターンがより微細化し、また回路構造もより複雑化してきている。また、液晶ディスプレイ、プラズマディスプレイ等の表示装置もますます大型化し、これに伴って素子機能も複雑化しつつある。現在、これらのものを製造するための成膜工程や微細加工を行なうエッチング工程は、溶液を用いたものから、真空中や減圧ガス中でプラズマもしくは励起ガスを用いる、いわゆるドライな工程が主になっている。しかし所望の微細加工を行なうために一般に用いられるフォトリソグラフィープロセスでは、レジスト塗布、バターン露光、現像、エッチング、レジスト剥離等の複雑なプロセスが

本発明は上記従来の技術の有する問題点に鑑みてなされたものであって、表面の酸化を防ぎ、製造工程および素子の移動量を減少させることができ、素子性能を向上させ、歩留まりを向上することができる半導体装置の製造方法および装置を実現することを目的とする。

〔課題を解決するための手段〕

本発明の半導体の製造方法は、

基板の表面を清浄する第1の工程と、該第1の工程により清浄された基板上に、半導体、金属または絶縁体のいずれかの膜を堆積させる第2の工程と、該第2の工程にて堆積された膜上に所望の素子構造を形成するために選択光を照射してマスクを形成する第3の工程と、該第3の工程にて形成されたマスクを遮蔽体としてエッチングを行なう第4の工程とを少なくとも有する半導体装置の製造方法において、

前記第1乃至第4の各工程が、大気と遮断され、かつ減圧された状態にて一貫して行なわれるものである。

この場合、マスクを形成する第3の工程として行なわれる選択光照射が反応ガス雰囲気中で行なわれ、基板上に堆積された膜の表面が改質されることによりマスクが形成されるものであってもよい。

さらに、マスクを形成する第3の工程および光エッティングを行なう第4の工程の代わりに、選択光照射による光エッティングが行なわれてもよい。

また、本発明の半導体装置の製造装置は、基板の出入れが行なわれるロードロック室と、基板の表面が清浄されるクリーニング室と、清浄された基板上に半導体、金属または絶縁体のいずれかの膜が堆積される成膜室と、光入射窓が設けられ、該光入射窓を透過した選択光が基板上に堆積された膜に照射されてマスクが形成される潜像室と、エッティングが行なわれるエッティング室と、基板の搬送を行なうための搬送室とを有し、

前記各室はいずれも真空封止可能に構成されており、ロードロック室、クリーニング室、成膜室、潜像室およびエッティング室は、搬送室を中心

第1図は本発明の一実施例の構成を示す上面図であり、試料8上にパターンを形成するものである。

第1図において、1は試料8を導入導出するためのロードロック室である。2は試料8の表面をプラズマを用いてクリーニングするクリーニング室である。3は金属をスパッタ成膜するためのスパッタ成膜室である。4は絶縁膜と半導体膜をプラズマ成膜するためのプラズマ成膜室である。5は膜をケミカルドライエッティングするためのエッティング室である。9は図示しない搬送機構により試料8の搬送を各空間で行なう搬送搬であり、搬送室10内に設けられている。

ロードロック室1、クリーニング室2、スパッタ成膜室3、プラズマ成膜室4、エッティング室5、潜像室6および搬送室10のいずれも真空気密可能に構成されており、室内を真空排気するための真空排気装置(図示せず)がそれぞれ備えられている。ロードロック室1、クリーニング室2、スパッタ成膜室3、プラズマ成膜室4、エッ

としてその周囲に配設され、個別に設けられたゲートバルブをそれぞれ介して搬送室と連通している。

この場合、像室およびエッティング室の代わりに、光入射窓が設けられ、該光入射窓を透過した選択光が基板上に堆積した膜に照射されて光エッティングが行なわれる光エッティング室としてもよい。

(作用)

半導体装置を製造するための各工程が、大気と遮断され、かつ減圧された状態にて一貫して行なわれるため、基板の酸化およびゴミの付着が防止されるとともに工程数が減少する。また、選択光照射によって形成されたマスクを用いてエッティングが行なわれ、もしくは光エッティングが行なわれる所以、剥離したレジストによるゴミの発生がなくなる。

(実施例)

次に、本発明の実施例について図面を参照して説明する。

チング室5および潜像室6はそれぞれ搬送室10の周囲に配設されており、ゲートバルブ7b～7eをそれぞれ介して搬送室10と連通する。また、ロードロック室1には搬送室10と連通するゲートバルブ7bの他に、試料8の出入れを外部と行なうためのゲートバルブ7aが設けられている。

第2図乃至第5図はそれぞれ第1図中のクリーニング室2、スパッタ成膜室3、プラズマ成膜室4、エッティング室5および潜像室6の構成を示す断面図である。

クリーニング室2を示した第2図において、21はクリーニングガスをクリーニング室2内に導入するためにクリーニング室2の上方に設けられたガス導入口、22はクリーニング室2に置かれる試料8を保持する試料保持台、23は試料保持台22に対向する対向電極、24は試料保持台22をクリーニング室2を構成する真空容器から絶縁するための絶縁体、25は13.56MHz、200Wの高周波電源であり、試料保持台

22に接続されている。26は試料保持台側と高周波電源側のマッチングを取るためのマッチングボックスである。スパッタ成膜室3を示した第3図においては、31はスパッタガスをスパッタ成膜室3内に導入するためのガス導入口、32はスパッタ成膜室3に置かれる試料8を保持する試料保持台、33は試料保持台32に対向して設けられ、高周波電力が加えられる対向電極、34は対向電極33をスパッタ成膜室3を構成する真空容器から絶縁するための絶縁体、35は13.56MHz、500Wの高周波電源、36は試料保持台32と高周波電源35側のマッチングを取るためのマッチングボックス、37は対向電極34を直流的に絶縁するためのコンデンサ、38はスパッタ金属である。プラズマ成膜室4を示した第4図においては、41は堆積ガスをプラズマ成膜室4内に導入するためのガス導入口、42はプラズマ成膜室4に置かれる試料8を保持する試料保持台、43は試料保持台42に対向して設けられ、高周波電力が加えられる対向電極、44は対

向電極43をプラズマ成膜室4を構成する真空容器から絶縁するための絶縁体、45は13.56MHz、350Wの高周波電源、46は試料保持台42と高周波電源45側のマッチングを取るためのマッチングボックスである。エッティング室5を示した第5図においては、52はエッティング室5に置かれる試料8を保持する試料保持台、53はエッティング室5に供給する励起ガスを発生させるためのマイクロ波プラズマガス励起装置、51はマイクロ波プラズマガス励起装置53にエッティングガスを供給するためのガス導入口、54はマイクロ波プラズマガス励起装置53で発生した励起ガスをエッティング室5に輸送するための輸送管であり、試料保持台52と対向する位置に設けられている。潜像室6を示した第6図においては、61は潜像室6に潜像ガスを導入するためのガス導入口、62は潜像室6内に設置される試料8を保持する試料保持台、63は光源であるところのKrFエキシマレーザー、64は光源63にて発生した光により後述するマスク65を照明する照

明光学系、65は石英板にCrでバターニングされたマスク（またはレチクル）、66はマスクパターンを試料8の表面に結像するための投影光学系、67は投影光学系66を出た光を潜像室6に導入するための窓である。上記の各装置のうち、光源63、照明光学系64、マスク65、投影光学系66は潜像室6の上方に設けられている。

次に、FETを作製する際の本実施例の作製手順について説明する。

第7図(a)乃至第7図(g)は、それぞれ各作製工程における成長膜の構造を示す図である。第1図乃至第6図においては試料8として示されていた石英板71をゲートバルブ7aを通してロードロック室1に入れ、ロードロック室1の室内を真空排気装置（図示せず）によって 10^{-6} torr以下に真空排気する。搬送室10は真空排気装置（図示せず）によって常に排気し、 10^{-6} torr以下に圧力を保つ。ゲートバルブ7bを開け、搬送機9によって試料である石英基板71を受け取り、搬送室1に入れてゲートバル

ブ7bを閉じる。

次に、クリーニング室2の内部を予め真空排気装置（図示せず）によって 10^{-7} torr以下になるまで真空排気しておき、ゲートバルブ7cを開けて石英基板8を搬送機9によってクリーニング室2内の試料保持台22に載せ、ゲートバルブ7cを閉じる。真空排気装置（図示せず）によってクリーニング室2の内部 10^{-7} torr以下になるまで真空排気する。ガス導入口21より石英基板71の表面をクリーニングするガス、この場合Ar50scmをクリーニング室1内に導入し、クリーニング室2の圧力が0.08torrになるように真空排気装置（図示せず）を操作制御する。

次に、13.56MHz、100Wの高周波をマッチングボックス26を調整しながら、試料保持台22に印加し、試料保持台22と対向電極23の間に空隙にプラズマを発生させる。試料保持台22はマッチングボックス26内にあるコンデンサ（図示せず）によって直流的に絶縁されている

ため、電子とイオンとの移動度の差から試料保持台22は-60V程度の負の直流バイアス電圧が発生し、この電圧によってArイオンが加速され、石英基板71の表面に衝突し、表面にある汚れを物理的にスパッタ除去するため、清浄面が得られる。処理時間は約60sec程度である。処理終了後ガスの供給を止め、クリーニング室2の内部の圧力が 10^{-7} torr以下になるまで真空排気する。ゲートバルブ7cを開け搬送機9によって石英基板71を取り出しゲートバルブ7cを閉じ、クリーニング室2の内部の圧力が 10^{-7} torr以下を保つよう再度真空排気しておく。

次に、プラズマ成膜室4の内部を真空排気装置(図示せず)によって 10^{-7} torr以下になるまで真空排気する。続いて、ゲートバルブ7eを開け、石英基板71を搬送機9によってプラズマ成膜室4に導入し、ヒータ(図示せず)によって予め250℃に加熱された試料保持台42に載せ、ゲートバルブ7eを閉じる。この後、プラズマ成膜室4の内部を真空排気装置(図示せず)に

せず)を操作制御する。

次に、13.56MHz、300Wの高周波をマッチングボックス46を調整しながら、対向電極43に印加し、試料保持台42を対向電極43の間に空間にプラズマを発生させ、該導入ガスをプラズマ分解し、n⁺アモルファスシリコン(n⁺-Si)膜73を1000Å堆積させる(第7図(b)参照)。成膜後導入ガスを止め、プラズマ成膜室4の内部が 10^{-7} torr以下になるまで真空排気し、ゲートバルブ7eを開けて搬送機9によって石英基板71を取り出し、ゲートバルブ7eを閉じ、プラズマ成膜室4の内部の圧力が 10^{-7} torr以下に保つよう真空排気しておく。

次に、予め 10^{-7} torr以下に真空排気装置(図示せず)によって排気された潜像室6のゲートバルブ7gを開け、石英基板71を搬送機9によって潜像室6に導入し、試料保持台62に載せ、ゲートバルブ7gを閉じる。続いて、真空排気装置(図示せず)によって潜像室6の内部を

よって 10^{-7} torr以下になるまで真空排気し、石英基板71の温度が250℃になるまで加熱する。

次に、ガス導入口41よりSiH₄を100scm、H₂を740scmをプラズマ成膜室4内に導入し、プラズマ成膜室4内の圧力が0.5torrになるように真空排気装置(図示せず)を操作制御する。13.56MHz、100Wの高周波をマッチングボックス46を調整しながら、対向電極43に印加し、試料保持台42と対向電極43の間に空間にプラズマを発生させ、該導入ガスをプラズマ分解し、アモルファスシリコン(n⁺-Si)膜72を5000Å堆積させる(第7図(a)参照)。成膜後、導入ガスを止めプラズマ成膜室4の内部が 10^{-7} torr以下になるまで真空排気した後に、ガス導入口41よりSiH₄を20scm、H₂を80scm、PH₃を400scmをプラズマ成膜室4内に導入し、プラズマ成膜室4内の圧力が0.5torrになるように真空排気装置(図示

10^{-7} torr以下になるまで真空排気する。ガス導入口62よりNO₂ガスを潜像室6内に導入し、内部の圧力が1torrとなるように真空排気装置を制御する。続いて、光源63であるKrFエキシマレーザーで発振させた波長248nmのレーザー光を照明光学系64によってチャネル(チャネル幅:25μm、チャネル長:10μm)を形成するためのバターンが形成されたマスク65に均一に照射し、投影光学系66によって石英基板上のn⁺-Si膜73の表面にマスク65のバターン像を窓67を通して結像させる。なお窓67の材質として波長248nmのレーザー光を吸収せずに透過させるため石英を使用した。マスク像が結像したn⁺-Si膜73の表面では、光が当たった部分のみでNO₂とSiが光化学反応を起こし、10分間の露光でn⁺Poly-Si表面に厚さ20Å程度のSiO_x層が形成される(不図示)。光が当たっていない部分ではこの反応は進まないので、結果マスクのネガバターンがn⁺-Si膜73の表面

に形成される。換言すれば $n^+ - Si$ 膜 7 3 が SiO_x に改質され、像が形成される。なお光源 6 3 としてここで KrF エキシマレーザーを使用したが、キセノンランプ、低圧水銀灯、高圧水銀灯等のランプ光源や、ArF エキシマレーザー、XeCl エキシマレーザー、Ar レーザー等の紫外線レーザーも同様の効果がある。

上記の潜像形成後に導入ガスを止め、潜像室 6 の内部が 10^{-7} torr 以下になるまで真空排気し、ゲートバルブ 7 g を開け、搬送機 9 によって石英基板 7 1 を取り出してゲートバルブ 7 g を閉じる。この後、潜像室 6 の内部の圧力が 10^{-7} torr 以下に保つように再度真空排気する。

次に、予め 10^{-7} torr 以下に真空排気装置(図示せず)によって排気されたエッティング室 5 のゲートバルブ 7 f を開け、石英基板 7 1 を搬送機 9 によってエッティング室 5 に導入して試料保持台 5 2 に載せ、ゲートバルブ 7 f を閉じる。この後、真空排気装置(図示せず)によってエッティング室 5 の内部が 10^{-7} torr 以下になるまで真

空排気し、ゲートバルブ 7 f を開けて搬送機 9 によって石英基板 7 1 を取り出し、ゲートバルブ 7 f を閉じ、エッティング室 5 の内部の圧力が 10^{-7} torr 以下に保つよう再度真空排気しておく。

次に、すでに内部の圧力が 10^{-7} torr 以下とされているプラズマ成膜室 4 のゲートバルブ 7 e を開け、石英基板 7 1 を搬送機 9 によってその室内に導入し、ヒータ(図示せず)によって予め 350℃に加熱された試料保持台 4 2 に載せた後にゲートバルブ 7 e を閉じる。統いて、真空排気装置(図示せず)によってプラズマ成膜室 4 の内部を 10^{-7} torr 以下になるまで真空排気し、石英基板 7 1 の温度が 350℃になるまで加熱する。ガス導入口 4 1 より SiH₄ を 1.3 sccm、H₂ を 120 sccm、NH₃ を 360 sccm プラズマ成膜室 4 内に導入し、プラズマ成膜室内の圧力が 0.5 torr になるよう真空排気装置(図示せず)を操作制御する。

13. 56 MHz, 80 W の高周波をマッチング

空排気する。統いて、ガス導入口 5 1 より、潜像が施された $n^+ - Si$ 膜 7 3 をエッティングするガス、この場合 Cl₂, 500 sccm をマイクロ波プラズマガス励起装置 5 3 内に導入し、エッティング室 5 の圧力が 0.25 torr になるよう真空排気装置(図示せず)を操作制御する。統いて、マイクロ波発生装置(図示せず)が発生した 2.45 GHz, 700 W のマイクロイ波をマイクロ波プラズマガス励起装置 5 3 に供給させ、該エッティングガスをプラズマ化することによって励起した励起分子 Cl₂, Cl⁺ を全長が 20 cm, 内径が 40 mm の石英製である輸送管 5 4 を介してエッティング室 5 に供給する。石英基板 7 1 上に達した該励起分子 $n^+ - Si$ 膜 7 3 表面に潜像バターンを持つ SiO_2 層をマスクにして、 $n^+ - Si$ 膜 7 3 と反応し揮発性物質である塩素化合物を発生し、 $n^+ poly-Si$ 膜がエッティングされてチャンネルが形成される(第7図(c)参照)。その後導入ガスを止め、エッティング室 5 の内部が 10^{-7} torr 以下になるまで

ボックス 4 6 を調整しながら対向電極 4 3 に印加し、試料保持台 4 2 と対向電極 4 3 の間の空間にプラズマを発生させ、該導入ガスをプラズマ分解し、アモルファスシリコン化(a-SiN)膜 7 4 を 4000 Å 堆積させる(第7図(d)参照)。成膜後導入ガスを止め、プラズマ成膜室 4 の内部が 10^{-7} torr 以下になるまで真空排気した後に、ゲートバルブ 7 e を開け、搬送機 9 によって石英基板 8 を取り出し、ゲートバルブ 7 e を閉じてプラズマ成膜室 4 の内部の圧力が 10^{-7} torr 以下を保つよう再度真空排気しておく。

次に、ゲートバルブ 7 g を開け石英基板 7 1 を搬送機 9 によって潜像室 6 に導入し、試料保持台 6 2 に載せ、ゲートバルブ 7 g を閉じて a-SiN 膜 7 4 の表面に、前述の $n^+ - Si$ 膜 7 3 上に形成したチャンネル形成用の潜像膜と同一で SiO_x 膜の潜像を同位置に作製する。

次に、該潜像をマスクとして a-SiN 膜 7 4 をエッティングしてゲート絶縁膜を形成するが、エッティングガスとして Cl₂, 900 sccm,

NF₃, 100 sccmをガス導入口51より供給し、n⁺-Si膜73と同様にa-SiN膜74のエッティングを行なう(第7図(e)参照)。その後上記導入ガスを止め、エッティング室5の内部が10⁻⁷ torr以下になるまで真空排気し、ゲートバルブ7fを開け、搬送機9によって石英基板71を取り出してゲートバルブ7fを閉じ、エッティング室5の内部の圧力が10⁻⁷ torr以下を保つよう再度真空排気しておく。

次に予め真空排気装置(図示せず)によって内部が10⁻⁷ torr以下になるまで真空排気されたスパッタ成膜室3のゲートバルブ7dを開け、石英基板71を搬送機9によってスパッタ成膜室3に導入して試料保持台32に載せ、ゲートバルブ7dを閉じる。続いて、真空排気装置(図示せず)によってスパッタ成膜室3の内部が10⁻⁷ torr以下になるまで真空排気する。ガス導入口31よりAr, 50 sccmをスパッタ成膜室3内に導入させ、スパッタ成膜室3内の圧力が0.05 torrになるように真空排気装置(図

ここで形成される潜像層の組成はAlO_xである。

次にゲートバルブ7fを開け、石英基板71を試料保持台72に載せ、前述したエッティング工程と同様の手法で該潜像層をマスクとしてAl_x薄膜をエッティングしてソース、ドレイン、ゲート電極を形成する(第7図(g)参照)。エッティングガスとしてCl₂を1000 sccmをガス導入口51より供給し、n⁺-Si膜73、a-SiN膜74と同様にエッティングを行なう(第7図(e)参照)。その後導入ガスを止め、エッティング室5の内部が10⁻⁷ torr以下になるまで真空排気し、ゲートバルブ7fを開け、搬送機9によって石英基板71を取り出してゲートバルブ7fを閉じ、ゲートバルブ7bを開けて、石英基板71をロードロック室1に入れ、ゲートバルブ7bを閉め、ロードロック室1の内部を大気圧に戻しFETが形成された石英基板を取り出す。

なお上記実施例では潜像エッティングプロセスを用いて微細加工を行なったが、光エッティングを用

示せず)を操作制御する。13.56 MHz, 500Wの高周波をマッチングボックス36を調整しながら対向電極33に印加し、試料保持台32と対向電極33の間の空間にプラズマを発生させて該導入ガスをプラズマ分解し、対向電極33にスパッタ金属38として取り付けられてアルミをスパッタし、石英基板71上にAl_x薄膜75を4000 Å堆積させる(第7図(f)参照)。Al_x薄膜75成膜後、導入ガスを止め、スパッタ成膜室3の内部が10⁻⁷ torr以下になるまで真空排気し、ゲートバルブ7dを開け、搬送機9によって石英基板71を取り出してゲートバルブ7dを閉じ、スパッタ成膜室3の内部の圧力が10⁻⁷ torr以下を保つよう再度真空排気しておく。

次にゲートバルブ7gを開け、石英基板71を搬送機9によって潜像室6に導入し、試料保持台62に載せ、ゲートバルブ7gを閉じ、前述した2回の潜像形成工程と同様の手法で、Al_x薄膜75の表面に電極用の潜像層を作製する。ただし

いても同様の効果が得られる。光エッティングは光潜像室6を使って実施することができる。

次に、本発明の第2の実施例として、上述の実施例で作製した厚さ4000 ÅのAl_x薄膜75を光エッティングにより加工してFET電極を形成するプロセスについて説明する。

本実施例においては潜像室6が光エッティング室として使用される。

厚さ4000 ÅのAl_x薄膜75をスパッタ成膜する過程を上記実施例とまったく同様に行ない、その後潜像室6を10⁻⁷ torr以下に真空排気装置(図示せず)によって排気し、ゲートバルブ7gを開けて石英基板71を搬送機9によって潜像室6に導入し、試料保持台62に載せて、ゲートバルブ7gを閉じる。続いて、真空排気装置(図示せず)によって潜像室6の内部を10⁻⁷ torr以下になるまで真空排気する。

次に、ガス導入口62よりCl₂ガスを潜像室6内に導入し、潜像室6の内部の圧力が0.1 torrとなるように真空排気装置を制御する。

この状態で光源 63 である KrF エキシマレーザーで発振させた波長 248 nm のレーザー光を前述の実施例で用いた電極形成用のマスク 65 の遮蔽部と開口部が逆に形成されたネガ関係のマスクを通して、投影光学系 66 によって A 上薄膜 75 の表面にマスク像として結像させる。該表面では光が当たっている部分のみで、A 上と C 上が光化学反応を起こして光エッチングが行なわれる。この後の工程は、前述実施例と同様に行なう。 $n^+ - Si$ 膜 73 のエッティングでは、光エッティングガスとして Cl_2 を用い、 $a - SiN$ 膜 74 の光エッティングでは、光エッティングガスとして $CF_4 + H_2$ を用いて微細加工を行なう。

以上説明した製造法により作製した $n^+ - Si$ 薄膜 FET のドレイン電流 - ドレイン電圧の関係を測定したところ、レジストを用いず真空中で一貫したプロセスで作製したため良好な特性を示し、工程数が減少し、またゴミの発生が減少し歩留まりがよい生産が可能になった。

(発明の効果)

第 1 図は本発明の一実施例の構成を示す上面図、第 2 図乃至第 6 図はそれぞれ第 1 図中のクリーニング室 2、スペッタ成膜室 3、プラズマ成膜室 4、エッティング室 5 および潜像室 6 の構成を示す断面図、第 7 図 (a) 乃至第 7 図 (g) はそれぞれ本発明により半導体装置を製造する際の製造工程を段階的に説明するための図である。

- 1 一ロードロック室、2 一クリーニング室、
- 3 一スペッタ成膜室、4 一プラズマ成膜室、
- 5 一エッティング室、6 一潜像室、
- 7a ~ 7g 一ゲートバルブ、8 一試料、
- 9 一搬送機、10 一搬送室、
- 21, 31, 41, 51, 61 一ガス導入口、
- 22, 32, 42, 52, 62 一試料保持台、
- 23, 33, 43 一対向電極、
- 24, 34, 44 一絶縁体、
- 25, 35, 45 一高周波電源、
- 26, 36, 46 一マッチングボックス、
- 37 一コンデンサ、38 一スペッタ金属、
- 53 一マイクロ波プラズマガス励起装置、

本発明は以上説明したように構成されているので、以下に記載するような効果を奏する。

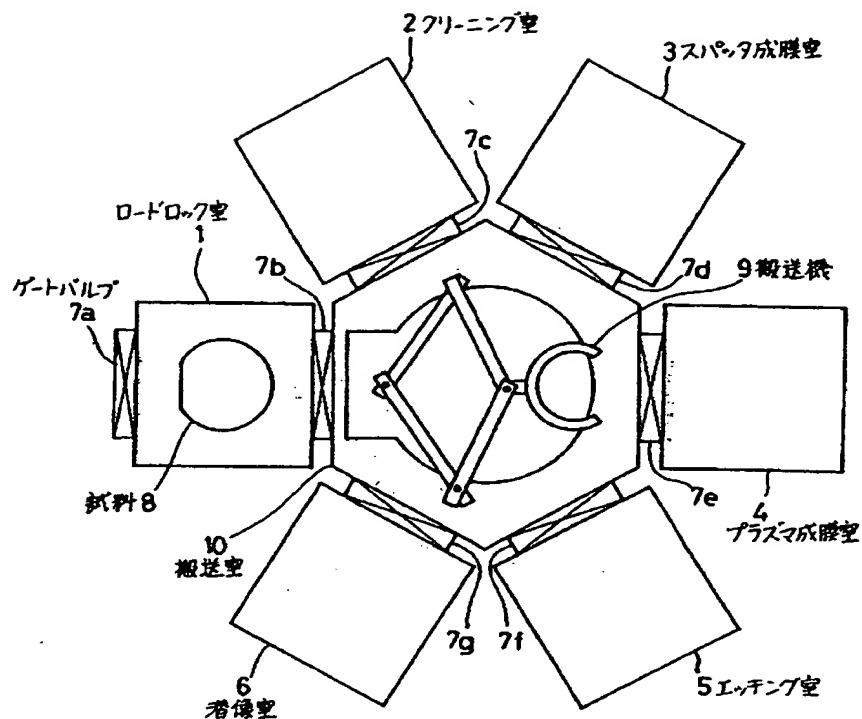
請求項 1 乃至請求項 3 にそれぞれ記載した方法においては、レジストを用いることなく、半導体装置を製造するための各工程を大気と遮断され、かつ減圧された状態にて一貫して行なうことにより、表面が酸化されることなく、性能が向上された半導体装置を製造することができる効果がある。また、従来必要とされていた各工程間ににおける大気圧からの真空引きを行なう工程や溶液処理後の洗浄乾燥工程等の予備的な工程を不要とすることができ、生産性を向上することができる。さらに、工程数および工程間の移動量が減少してゴミが付着する機会が減少するうえに、レジスト剥離によるゴミの発生もなくなるため、歩留りを向上することができる効果がある。

請求項 4 および請求項 5 にそれぞれ記載した装置においては、上記各効果を備えた半導体製造装置を実現することができる効果がある。

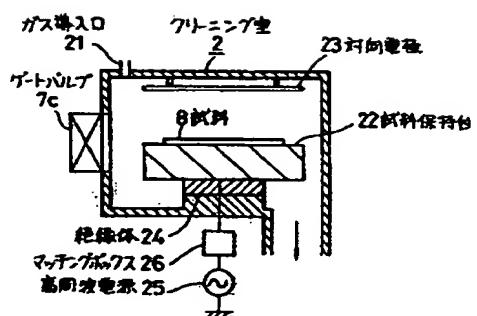
4. 図面を簡単な説明

- | | |
|--------------------|-------------------|
| 54 一輸送管、 | 63 一光源、 |
| 64 一照明光学系、 | 65 一マスク、 |
| 66 一投影光学系、 | 67 一窓、 |
| 71 一石英基板、 | 72 一 $a - Si$ 膜、 |
| 73 一 $n^+ - Si$ 膜、 | 74 一 $a - SiN$ 膜、 |
| 75 一 A 上薄膜。 | |

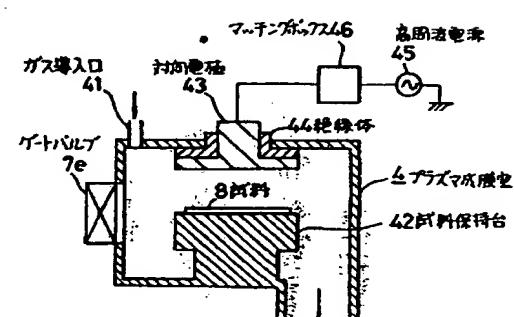
特許出願人 キヤノン株式会社
代理人 弁理士 若林忠



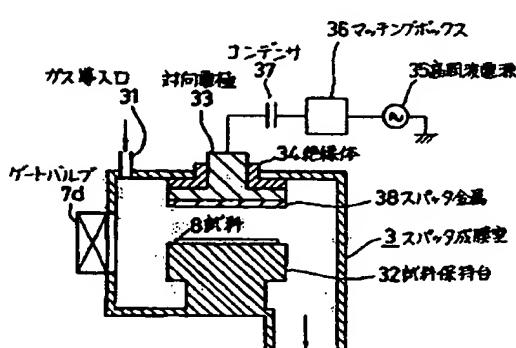
第1図



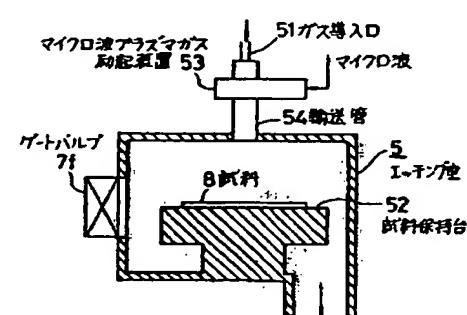
第2図



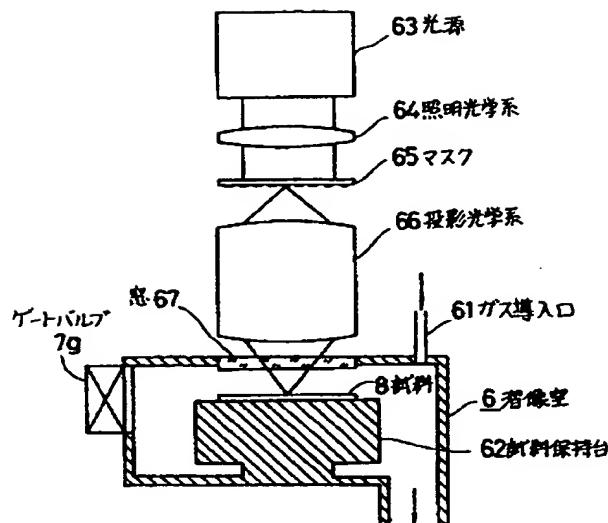
第4図



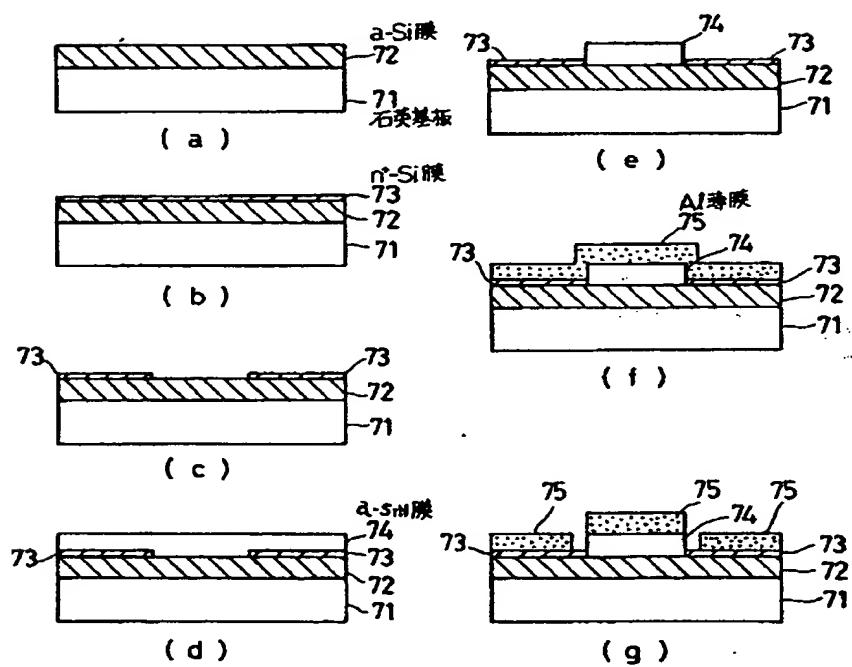
第3図



第5図



第 6 図



第 7 図